

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216955

(43)Date of publication of application : 05.08.1994

(51)Int.Cl. H04L 27/22
 H03G 3/20
 H03G 3/30
 H04J 3/00
 H04L 25/03

(21)Application number : 05-007945

(71)Applicant : NEC CORP

(22)Date of filing : 20.01.1993

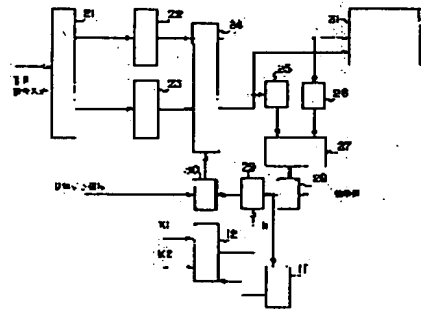
(72)Inventor : OTANI SUSUMU
 TSUDA HIROKI
 UCHIKAWA SETOMI
 KORIN SUMISU

(54) AGC CIRCUIT FOR BURST SIGNAL

(57)Abstract:

PURPOSE: To have a fast response characteristic by an AGC loop at the time of requiring the fast synchronism in the initial state and to let the AGC loop band minimize and eliminate an influence of the loop noise after the fast response.

CONSTITUTION: The output signal of a sub-synchronous demodulating circuit 21 which shifts the frequency of a burst modulated wave signal to that of a base band signal is converted to digital signals by A/D conversion circuits 22 and 23, and the output signals of these circuits 22 and 23 and the output signal of an integrating circuit are inputted to a multiplying circuit 24. The output signal of the circuit 24 is imparted to a subtracting circuit 28 through square circuits 25 and 26 and an adding circuit 27. The subtracting circuit 28 obtains the difference between the input signal and a reference signal. A polarity discriminating circuit 11 discriminates the positive and negative polarity of the output signal of the subtracting circuit 28. A selecting circuit 12 selects a loop constant K_1 by the circuit 11 when the polarity of the output signal of the subtracting circuit 28 is positive, but the circuit 12 selects a loop constant K_2 ($K_1 \gg K_2$) when it is negative.



(11)特許出願公開番号

(43)公開日 平成6年(1994)8月5日

【特許請求の範囲】

【請求項1】 間欠的に送信されるバースト変調波信号を入力とし、該バースト変調波信号をベースバンド帯信号に周波数推移させる準同期復調回路と、該準同期復調回路出力信号をデジタル信号に変換するA/D変換回路と、該A/D変換回路によりデジタル信号に変換された変調波信号と積分回路の出力信号とを入力とし乗算操作を行う第1の乗算回路と、該第1の乗算回路の出力信号を2乗する2乗回路と、該2乗回路の出力信号から予め定められた基準信号との差を求めるデジタル型の減算回路と、該減算回路の出力信号の極性の正負を判定するデジタル型の極性判定回路と、該極性判定回路により前記減算回路の出力信号の極性が正である場合にループ定数 K_1 を選択し、前記減算回路の出力信号の極性が負である場合にはループ定数 K_2 ($K_1 \gg K_2$)を選択する選択回路と、該選択回路の出力信号と前記減算回路の出力信号とを乗算する第2の乗算回路と、該第2の乗算回路の出力信号を積分し前記第1の乗算器を駆動する前記積分回路とで構成され、かつ、前記第1の乗算回路の出力信号を復調回路へ供給するバースト信号用AGC回路。

【請求項2】 前記積分回路は、通話開始時に一度積分値がリセットされることを特徴とする請求項1に記載のバースト信号用AGC回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ボイスアクティベーション、スロットィドアロハ、TDMA等のバースト信号復調復調器のバースト信号用AGC回路に関する。

【0002】

【従来の技術】衛星通信システムで音声伝送する場合には話者の間欠発生特性から音声がある時のみ信号を送出し、音声が無い時間には信号送出を止めるボイスアクティベーション方式が衛星電力の有効利用に役立ち良く多用されている。このような信号変調波は間欠的送信、即ちバースト信号となる。従って受信側ではバースト対応の復調器が必要であった。

【0003】受信側は対向局のが変わった場合、通信伝送路の伝搬ロス（各局ベース）の変動により受信レベルが変動する。一般には受信レベルが変動すると復調器の搬送波再生回路やクロック再生回路のループゲインが変動し安定な復調動作が出来なくなり振幅を一定に保つためのAGC操作が必要である。

【0004】図2に従来のAGC回路の構成を示す。準同期復調回路21は、間欠的に送信されるバースト変調波信号（1F入力信号）をその搬送波周波数にほぼ等しい直交した搬送波信号により準同期復調して2系列のアナログ信号に変換する。A/D変換回路22、23は、準同期復調回路21からの出力信号を複数ビットのデジタルデータ列に変換する。A/D変換回路22、23

からのデジタルデータ列は乗算回路24に入力された後デジタル処理型の復調回路31に入力されると共に2乗回路25、26に入力される。前記各データ列の電力は加算回路27により加算され乗算回路24の出力の受信信号の電力が求められる。加算回路27の出力受信電力を受けた減算器28は、AGCループが設定しようとしている電力の基準値との差を求める。この減算器28により得られた差はループの利得を決定する乗算回路29で固定定数 k が乗算された後積分回路30に入力される。積分回路30は乗算回路29の出力を積分し乗算回路24を駆動し減算回路28の出力がゼロとなるようにAGCループが構成される。

【0005】このようなAGCループはループの応答速度はループ利得 k によって決定される。 k が大きければ大きいほどループの応答速度は早くなり、小さくなればなるほど応答速度は遅くなる。

【0006】

【発明が解決しようとする課題】従来のバースト信号用AGC回路においては、バースト信号に対応させるには一般にループの応答速度を早くする必要が有るが、ループ応答を早くする事はループ帯域を大きくする事と等価であるため、ループ内を通過する信号の振幅変動成分や受信信号に重畳される雑音成分もループを通過し、乗算器にて受信信号に付加されるため信号品質の劣化も生じる。このことから、バースト信号に高速に対応させるには限界があった。

【0007】本発明の課題は、初期状態において高速同期が必要な場合には、AGCループは高速応答特性を持ち、高速応答後はAGCループ帯域は最小となりループ雑音の影響も無くなるバースト信号用AGC回路を提供することにある。

【0008】

【課題を解決するための手段】本発明によれば、間欠的に送信されるバースト変調波信号を入力とし、該バースト変調波信号をベースバンド帯信号に周波数推移させる準同期復調回路と、該準同期復調回路出力信号をデジタル信号に変換するA/D変換回路と、該A/D変換回路によりデジタル信号に変換された変調波信号と積分回路の出力信号とを入力とし乗算操作を行う第1の乗算回路と、該第1の乗算回路の出力信号を2乗する2乗回路と、該2乗回路の出力信号から予め定められた基準信号との差を求めるデジタル型の減算回路と、該減算回路の出力信号の極性の正負を判定するデジタル型の極性判定回路と、該極性判定回路により前記減算回路の出力信号の極性が正である場合にループ定数 K_1 を選択し、前記減算回路の出力信号の極性が負である場合にはループ定数 K_2 ($K_1 \gg K_2$)を選択する選択回路と、該選択回路の出力信号と前記減算回路の出力信号とを乗算する第2の乗算回路と、該第2の乗算回路の出力信号を積分し前記第1の乗算器を駆動する前記積分回路

とで構成され、かつ、前記第1の乗算回路の出力信号を復調回路へ供給するバースト信号用AGC回路が得られる。

【0009】また、本発明によれば、前記バースト信号用AGC回路において、前記積分回路は、通話開始時に一度積分値がリセットされることを特徴とするバースト信号用AGC回路が得られる。

【0010】

【実施例】次に、本発明の1実施例を図面に基いて説明する。

【0011】図1は本発明の1実施例を示すブロック図である。図1の実施例においては、図3の実施例を同一の構成要素には同一の符号が付されている。図1の実施例は、図3の実施例に新たに極性判定回路11と選択回路12が追加されている。

【0012】前記極性判定回路11は、基準値と受信電力との差を検出する減算回路28の出力信号を入力とし、その極性の正負を判定する。判定された極性信号は選択回路12に与えられる。選択回路12は、極性信号の極性が正である場合にはループ定数K1を選択し、極性信号の極性が負である場合にはループ定数K2を選択する。ここで $K2 < K1$ とする。選択されたループ定数K1、K2はAGCループのゲインを決定する乗算回路29に入力される。

【0013】次に、本発明の実施例を具体的に詳細に説明する。

【0014】初めに本実施例が初めて信号を受信する場合、信号到達以前はせいぜい伝送路に存在する雑音成分が受信されているのみであるから受信電力は小さい。従って加算回路27に現れる値は基準値よりも小さく減算回路28の出力は負の値になる。極性判定回路11は従って負信号を出力し選択回路12出力はK2が現れている。減算回路28の出力はK2となり $K2 < K1$ を満たし、且つループ帯域を小さく保つ定数とするとAGCループは低速応答特性を持ったまま待機していることになる。しかしながら、信号は受信されていないために乗算回路24は通常最大利得を持つ値になっている。又、音声通信等では最初に通話が開始されるときにはシグナリング信号によって通話チャンネルが指定された後実際の通信が開始される。この場合には図1の積分回路30に接続されるリセット信号を用いて積分回路30の値を乗算回路24の利得を最大とする値にセットすることが可能である。

【0015】この様子を図2に示す。図2(a)は復調器が初めにA局と通信しその後B局と通信する場合について示したもので通話開始の前にリセット信号が入力される。A局との通信が終了し次にB局と通信する場合にも開始以前にリセット信号が入力される。図2(b)はA局の信号の様子を示した物で通話者の音声の発生に基づいてバースト信号が送出されている様子を示してい

る。

【0016】信号が受信されると受信電力を示す加算回路27には大きな電圧が発生し減算回路28出力は正の値になり乗算回路29に設定される定数は極性判定回路11および選択回路12によってK1の値が設定される。このK1は $K1 > K2$ であり、ループの帯域を大きくする値とする。従ってAGCループの帯域は広く、入力信号に対して高速に応答する。ループが高速に応答すると乗算回路24によって復調回路31に入力される信号電力は急速に基準値に一致するため減算器28の出力信号は0となる。この減算器28の出力信号が0となると極性判定回路11の出力は負極性となり選択回路12を制御しループ定数K2が選択される。この時K2はK1に比して十分に小さな値であるため、AGCループ内の雑音も十分に小さな値となり信号劣化は最小に押さえられる。従って、高速同期が必要な場合にはAGCループの帯域が大きくなり、一旦引き込んだ後はAGCループは小さな帯域となり信号劣化が最小になる。

【0017】次にこの受信バーストが無くなった場合を考える。

【0018】受信信号がなくなると減算回路28の出力は負の値に保たれるために乗算器29にはK2が設定されたままである。K2は十分に小さな値であるため乗算器29に後続する積分器30には非常に小さな値しか供給されないため積分器30の値は長時間に渡ってほぼ一定に保たれる。従って乗算器24の利得はバースト信号が有る場合とほぼ同じ値に保たれる。

【0019】このため、次に信号が受信された場合、乗算回路24の利得はほぼ理想の状態に保たれるため次の引き込みに要する時間は極めて短くなる。入力信号が前バーストに比して小さい場合には応答に時間がかかるが、ボイスアクティベーション等のシステムでは送信局は同一局であるためそのレベル差は小さい後続の復調器に与える影響は皆無である。又、TDMA他のシステムを見てもバースト間レベル差は高々3dB程度であり復調器への影響は殆ど無い。

【0020】

【発明の効果】本発明においては、初期状態において高速同期が必要な場合には、AGCループは高速応答特性を持ち、高速応答後はAGCループ帯域は最小となりループ雑音の影響も無くなる。また、本発明においては、バースト信号受信後、バースト信号が無くなった場合にはAGCループは最小帯域に設定されるため利得制御用の乗算回路の利得は前バーストのレベルに対応して設定されるため、次のバースト信号受信時においても最初からほぼ目的レベルに近い値を復調器に供給することができ

【図面の簡単な説明】

【図1】本発明の1実施例を示すブロック図である。

【図2】本発明の1実施例における積分回路30をリセ

ットするタイミングを説明するための図である。

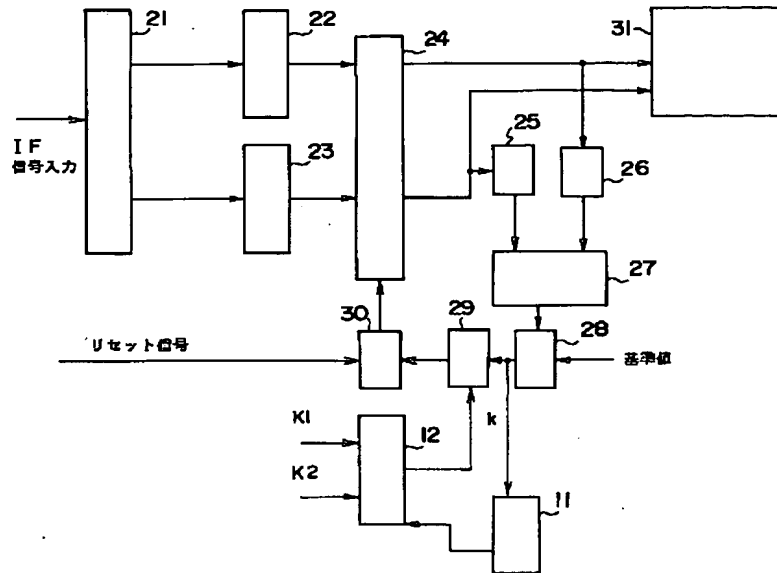
【図3】従来のバースト信号用AGC回路を示すブロック図である。

【符号の説明】

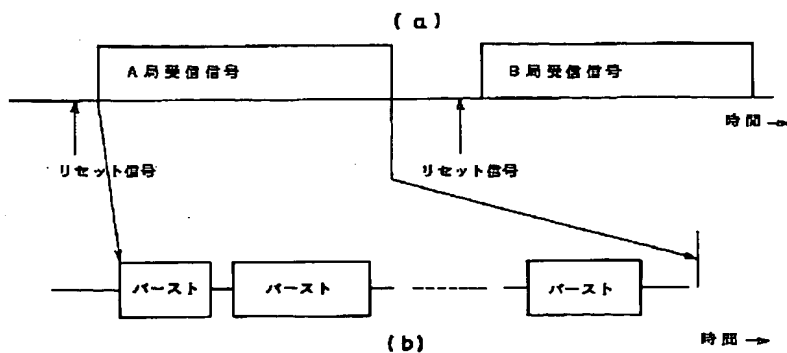
- 11 極性判定回路
12 選択回路
21 準同期復調回路

- 22, 23 A/D変換回路
24 乗算回路
25, 26 2乗回路
27 加算回路
28 減算回路
29 乗算回路
30 積分回路

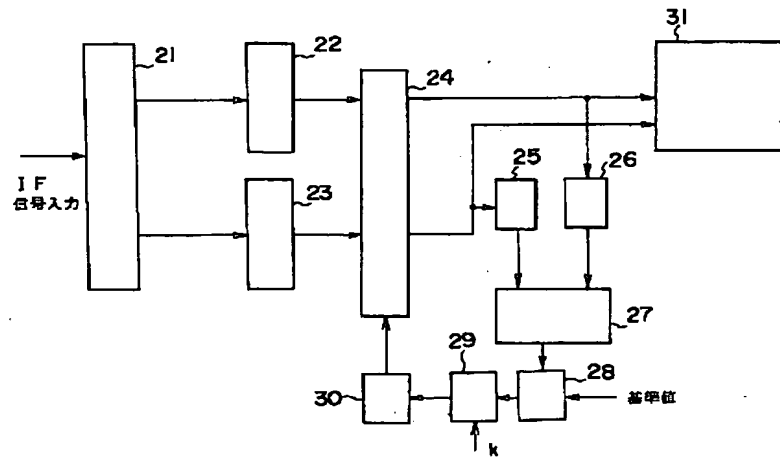
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 コリン スミス
 東京都港区芝五丁目7番1号 日本電気株
 式会社内